



Sistemi di condizionamento, acquisizione e conversione del segnale 1

Docente: Prof. Maurizio Valle
Anno Accademico: 2004-05

Sintesi di un OTA Simmetrico usato come integratore Gm-C

Lorenzo Banderali
Francesca Monti

INDICE

1. Circuito e specifiche di progetto	pag. 3
2. Sintesi.....	pag. 6
3. Risultati delle simulazioni.....	pag. 9
4. Bibliografia	pag. 17

1. Circuito e specifiche di progetto

Il progetto consiste nella sintesi di un integratore Gm-C con $\omega_0 = \frac{G_m}{C} = 10^6 \text{ rad/s}$.

A tal fine è stato utilizzato un OTA simmetrico dimensionato in maniera opportuna.

Lo schema relativo all'integratore Gm-C è mostrato nella figura 1.1

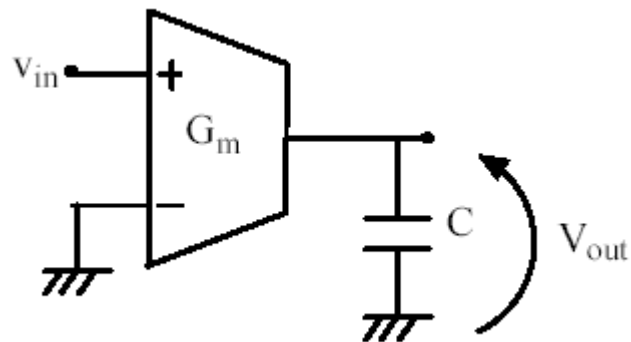


Figura 1.1 Schema dell'integratore Gm-C

Lo schema dell'OTA simmetrico è mostrato nella figura 1.2

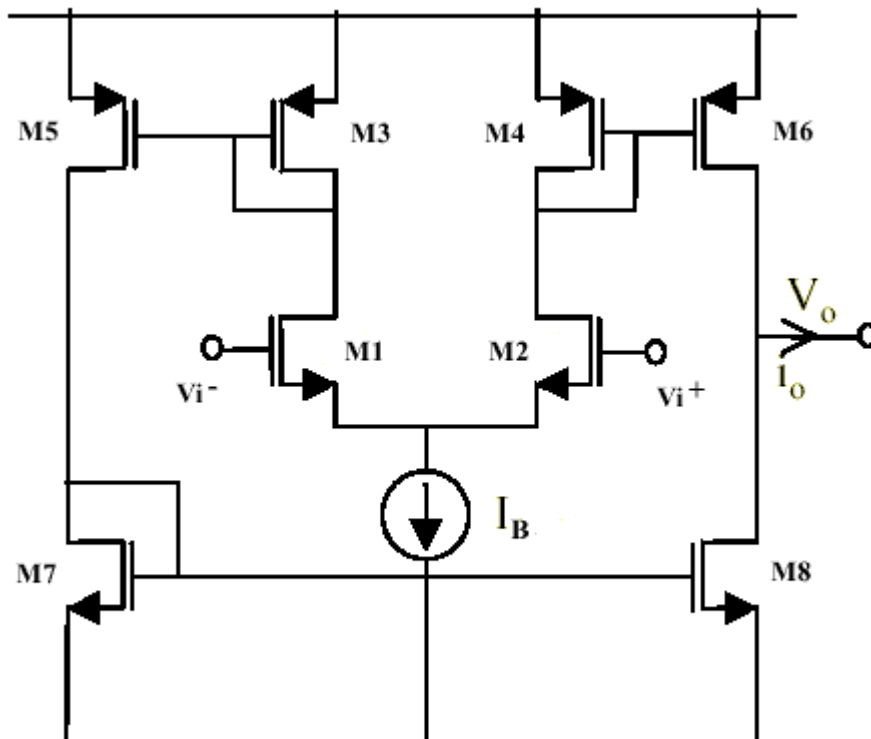


Figura 1.2 Schema OTA simmetrico

Da cui si può ricavare il circuito ai piccoli segnali che è mostrato in figura 1.3

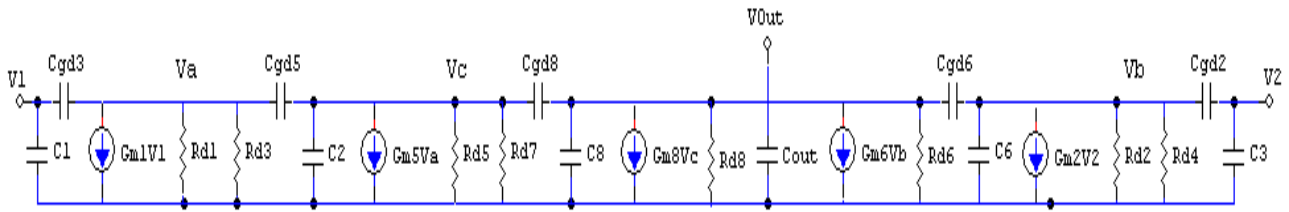


Figura 1.3 Circuito ai piccoli segnali dell' OTA simmetrico

Considerando il circuito in figura 1.3 si ottiene che:

$$A_v(s) = \frac{V_{Out}}{V_{In}} = \frac{G_m}{sC} \quad \text{e} \quad f_{0dB} = \frac{G_m}{2pC} \quad (\text{infatti } \omega = 2p f)$$

Bisogna porre particolare attenzione a mantenere sempre il circuito in modo che funzioni in zona di linearità evitando di porre in ingresso una tensione differenziale eccessiva come mostrato in figura 1.4 ed in seguito con maggiore precisione.

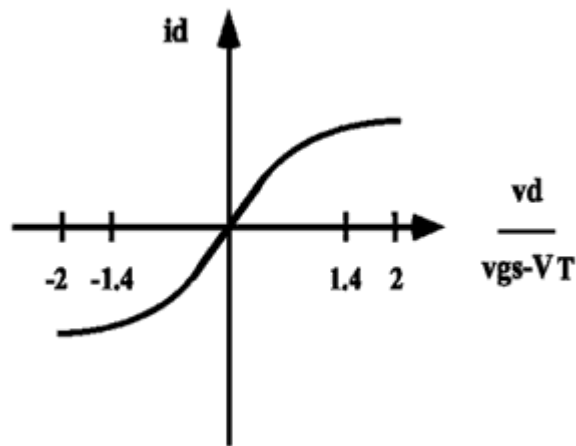


Figura 1.4 Linearità dell'integratore

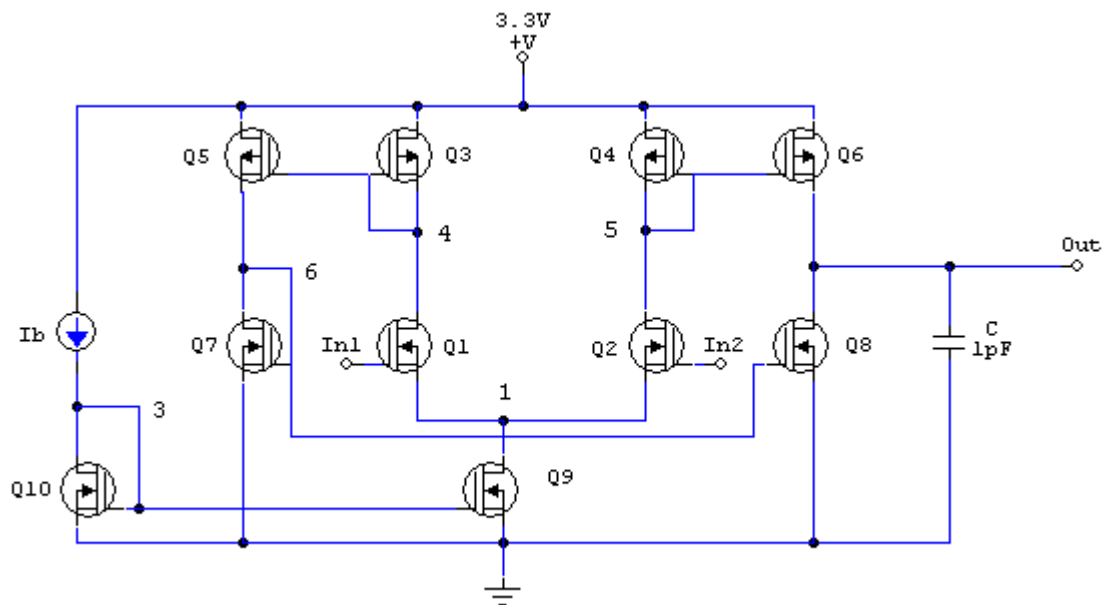


Figura 1.5 Schema OTA simmetrico

Al fine di creare la netlist per simulare il circuito con Hspice è stato utilizzato lo schema in figura 1.5 , che presenta la numerazione dei transistor e dei nodi.

Si è scelto di utilizzare uno specchio di corrente costituito da due transistori M10 ed M9 e un generatore di corrente per polarizzare il circuito.

I transistori M1 ed M2 costituiscono la coppia differenziale dell'amplificatore, mentre i transistori M3-M5, M7-M8, M6-M4 servono a copiare sul ramo di uscita le correnti $I_{d,1}$ e $I_{d,2}$ dei due rami della coppia differenziale.

2. Sintesi

Ricordiamo le specifiche di progetto:

$$\omega_0 = 10^6 \text{ rad/s} \rightarrow f_0 \approx 160 \text{ KHz}$$

Poichè $\omega_0 = 10^6 \text{ rad/s}$, possiamo scegliere liberamente i valori di G_m e di C purché mantengano il rapporto desiderato.

Scegliamo quindi valori di transconduttanza e capacità che siano facilmente realizzabili all'interno di un circuito integrato, evitando ad esempio che la capacità occupi un'area eccessiva.

Pertanto fisseremo il valore $C = 10^{-12} = 1 \text{ pF}$ e quindi $G_m = 10^{-6} = 1 \text{ m} \cdot \Omega^{-1}$.

Utilizzeremo una tensione di alimentazione di 3.3 V.

Applicazione del metodo (gm/Id)

Il metodo si basa sull'analisi della capacità dei dispositivi di tradurre la corrente in transconduttanza, ovvero in migliori prestazioni di banda e guadagno.

Si osserva la caratteristica della relazione (gm/Id) relativa alla tecnologia CMOS 0.35 μm (nmos) che noi dobbiamo utilizzare:

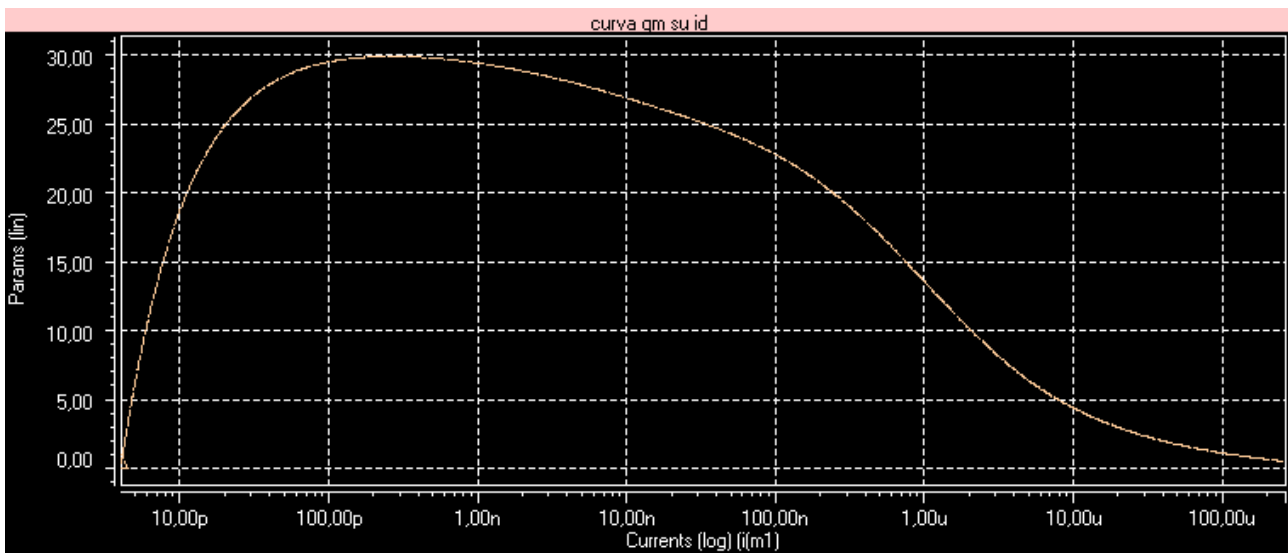


Figura 2.1 Caratteristica gm/id per la tecnologia CMOS 0.35 μm

Per fissare il punto di lavoro della coppia differenziale facciamo le seguenti considerazioni:

- Se si lavora in debole inversione si consuma meno corrente e si ha un'efficienza maggiore poiché g_m/I_D è elevato, più il circuito è efficiente e il guadagno è maggiore.
- Se si lavora in forte inversione si ha un miglior matching dei transistori M1 ed M2 e la frequenza di cut-off intrinseca del transistor è più elevata. Inoltre è minore il rumore di tipo shot.

Non conviene lavorare in moderata inversione poiché i modelli di simulazione non risultano particolarmente affidabili.

Dato che non necessitiamo di un guadagno elevato, abbiamo scelto di lavorare in forte inversione, ovvero in un punto della parte destra della caratteristica. Tuttavia abbiamo cercato di tenerci il più possibile vicini alla zona di moderata inversione (al centro del grafico) per limitare il consumo di corrente.

Dal grafico individuiamo sull'asse delle ordinate il punto: $(g_m/I_{D,1}) = 5 \Rightarrow I_{D,1} \approx 8 \text{ uA}$

Poiché in condizioni di tensione differenziale di ingresso nulla si ha $I_b = I_{D,1} + I_{D,2} = 2 I_{D,1}$

Calcoliamo:

$$I_{D,1} = g_m / 5 \approx 2 \text{ uA} \Rightarrow I_b = 4 \text{ uA}$$

Calcoliamo:

$$W/L_1 = (I_{D,1}/I_b) = (2 \text{ uA} / 4 \text{ uA}) = 0.5$$

Quindi:

$$L_1/W_1 = 8 \text{ uA} / 2 \text{ uA} = 4$$

Poiché si lavora in tecnologia CMOS 0.35 μm , sia W che L devono essere $> 0.35 \mu\text{m}$.

Tuttavia, in mancanza di vincoli particolarmente restrittivi sulle dimensioni, si preferisce non dimensionare i transistor a lunghezza minima per evitare problemi legati alla precisione nella successiva realizzazione su chip e per minimizzare gli effetti del secondo ordine.

Ricordiamo che non si dovrebbe eccedere nelle dimensioni di L per non raggiungere la frequenza di cut-off intrinseca del transistor, pari a:

$$f_t \cong \frac{3}{2a} \frac{m(V_{GS} - V_T)}{2pL^2}$$

in forte inversione. In ogni caso, lavorando in zona di forte inversione, tale frequenza di cut-off intrinseca del transistor risulta migliore rispetto al caso in cui avessimo scelto di lavorare in debole inversione.

Da un altro punto di vista si vorrebbero utilizzare dimensioni piuttosto grandi per avere un'area maggiore che minimizzi il mismatch tra i transistor, poiché le variazioni casuali tendono al loro valore medio e diminuiscono quindi la loro entità.

Cerchiamo quindi una buona soluzione di compromesso (trade-off).

Dimensionamento di M1:

$$W1 = 1 \mu\text{m}$$

$$L1 = 4 \mu\text{m}$$

Poichè i transistori M1 e M2 devono essere matched:

$$W2 = 1 \mu\text{m}$$

$$L2 = 4 \mu\text{m}$$

Per la spiccata simmetria del circuito e in assenza di vincoli, si decide di porre anche per tutti gli altri transistori N, esclusi M9 ed M10 (quelli che costituiscono lo specchio del generatore):

$$L_n / W_n = 4$$

$$W_n = 1 \mu\text{m}$$

$$L_n = 4 \mu\text{m}$$

mentre si pone:

$$L_p / W_p = (1/3) * (L_n / W_n) = 1.33$$

$$W_n = 1 \mu\text{m}$$

$$L_n = 1.33 \mu\text{m}$$

per compensare la differente mobilità delle lacune e degli elettroni (portatori di carica).

Netlist (listato)

Ota simmetrico Progetto Banderali - Monti

```
.include 'E:\Programmi\Hspice2003.03\Ufficiale\modn.mod'  
.include 'E:\Programmi\Hspice2003.03\Ufficiale\modp.mod'
```

Vdd Vdd 0 DC 3.3
 Ib Vdd 3 4u

*----- Specchio della corrente Ib -----

M10 3 3 0 0 MODN L=10u W=10u
 M9 1 3 0 0 MODN L=10u W=10u

*----- Transistori OTA -----

M1 4 IN1 1 0 MODN L=4u W=1u
 M2 5 IN2 1 0 MODN L=4u W=1u
 M7 6 6 0 0 MODN L=4u W=1u
 M8 OUT 6 0 0 MODN L=4u W=1u
 M3 4 4 Vdd Vdd MODP L=1.3u W=1u
 M4 5 5 Vdd Vdd MODP L=1.3u W=1u

*----- Transistori OTA fattore B -----

M5 6 4 Vdd Vdd MODP L=1.3u W=1u
 M6 OUT 5 Vdd Vdd MODP L=1.3u W=1u

*----- Capacità di uscita -----

CL OUT 0 1p

*----- Ingressi -----

V1 IN1 0 DC 1.7
 V2 IN2 20 DC 1.7

.op
 .option post
 .probe
 .end

3. Risultati delle simulazioni

Risultati della simulazione .op

Questa simulazione individua il punto di lavoro e fornisce i valori delle tensioni ai nodi.
 E' utile per verificare che le correnti e le tensioni siano rispondenti alle aspettative.

**** mosfets

subckt	0: m10	0: m9	0: m1	0: m2	0: m7	0: m8
element	0: modn	0: modn	0: modn	0: modn	0: modn	0: modn
model	0: modn	0: modn	0: modn	0: modn	0: modn	0: modn
region	Saturati	Saturati	Saturati	Saturati	Saturati	Saturati
id	4. 0000u	3. 9966u	1. 9983u	1. 9983u	2. 0728u	2. 0728u
ibs	-2. 629e- 21	-2. 627e- 21	-7. 7960a	-7. 7960a	-1. 362e- 21	-1. 362e- 21
ibd	-86. 2110a	-77. 9440a	-11. 7494a	-11. 7494a	-10. 2720a	-10. 2720a
vgs	734. 6393m	734. 6393m	1. 0358	1. 0358	875. 4055m	875. 4055m
vds	734. 6393m	664. 1954m	1. 5241	1. 5241	875. 4055m	875. 4055m
vbs	0.	0.	-664. 1954m	-664. 1954m	0.	0.

vth	503. 7193m	503. 7192m	681. 2156m	681. 2156m	503. 1507m	503. 1507m
vdsat	171. 6626m	171. 6626m	273. 9226m	273. 9226m	262. 6299m	262. 6299m
beta	201. 6672u	201. 6672u	40. 6124u	40. 6124u	42. 0990u	42. 0990u
gam eff	439. 7731m	439. 7731m	418. 9277m	418. 9277m	439. 7697m	439. 7697m
gm	31. 6607u	31. 6356u	10. 3961u	10. 3961u	10. 3809u	10. 3809u
gds	46. 4194n	50. 9336n	16. 2639n	16. 2639n	27. 2816n	27. 2816n
gmb	9. 0226u	9. 0150u	2. 4371u	2. 4371u	2. 8894u	2. 8894u
cdtot	19. 3709f	19. 8270f	2. 0286f	2. 0286f	2. 4330f	2. 4330f
cgtot	364. 1967f	364. 3337f	12. 6161f	12. 6161f	12. 9912f	12. 9912f
cstot	409. 7119f	409. 6733f	15. 0206f	15. 0206f	16. 1848f	16. 1848f
cbtot	138. 2676f	138. 5459f	7. 1992f	7. 1992f	8. 7450f	8. 7450f
cgs	351. 3103f	351. 3542f	11. 8324f	11. 8324f	12. 1404f	12. 1404f
cgd	2. 5301f	2. 6432f	167. 2304a	167. 2304a	211. 6678a	211. 6678a

subckt				
element	0: m3	0: m4	0: m5	0: m6
model	0: modp	0: modp	0: modp	0: modp
region	Saturati	Saturati	Saturati	Saturati
id	-1. 9983u	-1. 9983u	-2. 0728u	-2. 0728u
ibs	2. 178e-20	2. 178e-20	2. 259e-20	2. 259e-20
ibd	105. 6313a	105. 6313a	105. 7699a	105. 7699a
vgs	-1. 1117	-1. 1117	-1. 1117	-1. 1117
vds	-1. 1117	-1. 1117	-2. 4246	-2. 4246
vbs	0.	0.	0.	0.
vth	-778. 2335m	-778. 2335m	-778. 0030m	-778. 0030m
vdsat	-322. 0399m	-322. 0399m	-322. 2252m	-322. 2252m
beta	36. 1652u	36. 1652u	36. 1662u	36. 1662u
gam eff	708. 3183m	708. 3183m	708. 3188m	708. 3188m
gm	10. 8635u	10. 8635u	11. 2880u	11. 2880u
gds	76. 2567n	76. 2567n	42. 6981n	42. 6981n
gmb	2. 7882u	2. 7882u	2. 8991u	2. 8991u
cdtot	2. 8211f	2. 8211f	2. 1993f	2. 1993f
cgtot	4. 2551f	4. 2551f	4. 1977f	4. 1977f
cstot	8. 4160f	8. 4160f	8. 4169f	8. 4169f
cbtot	8. 2361f	8. 2361f	7. 6712f	7. 6712f
cgs	3. 2606f	3. 2606f	3. 2590f	3. 2590f
cgd	169. 3640a	169. 3640a	113. 0888a	113. 0888a

Si nota infatti che tutti i transistori lavorano in zona di saturazione come desiderato.

Risultati della simulazione .ac

Questa simulazione permette di visualizzare l'andamento della risposta in frequenza in diagramma di bode:

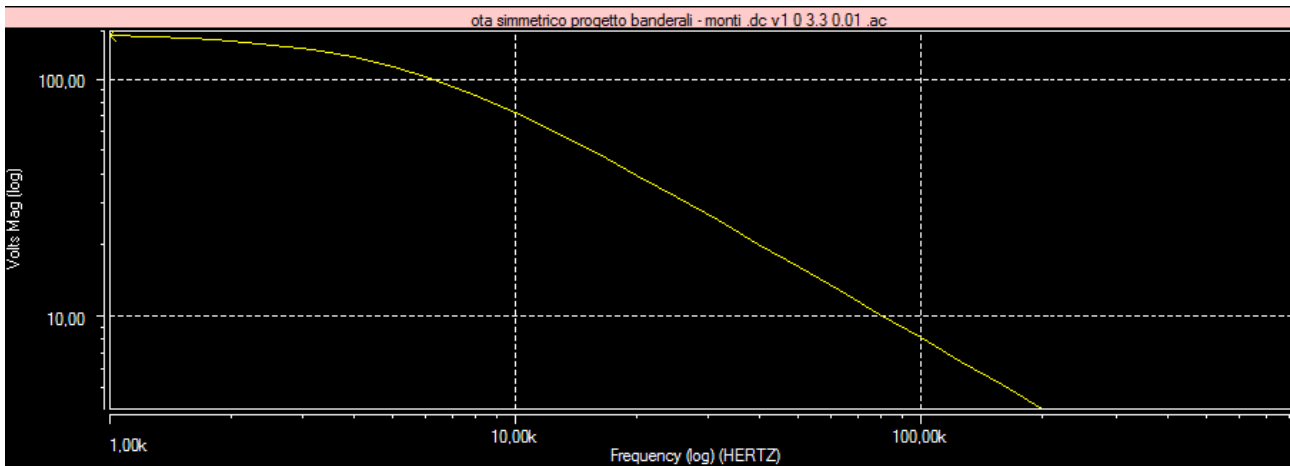


Figura 2.2 Risultati simulazione .ac

La frequenza di taglio ottenuta ($\cong 200\text{kHz}$) è di poco superiore a quella richiesta ($\cong 160\text{kHz}$); tuttavia se si considera la presenza di capacità parassite non simulate, ma comunque presenti in fase di realizzazione, si tende ad avvicinarsi ulteriormente alle specifiche date.

Risultati della simulazione .dc

Questa simulazione permette di analizzare il circuito in continua, per verificare che la dinamica di uscita vari tra il minimo ed il massimo valore dell'alimentazione, e che nel punto di lavoro sia il più lineare possibile.

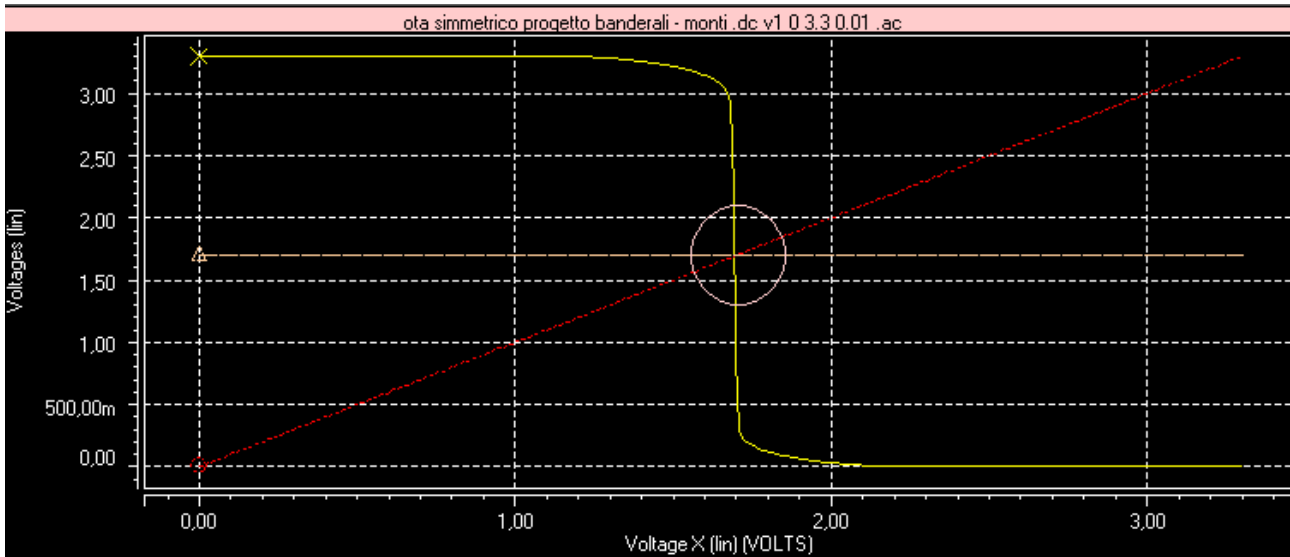


Figura 2.3 Risultati simulazione .dc

Si può notare il corretto funzionamento del dispositivo.

Si ha una buona linearità se la tensione differenziale di ingresso non è troppo elevata, come verrà ulteriormente mostrato.

Risultati della simulazione nel tempo per $f = 10$ Hz

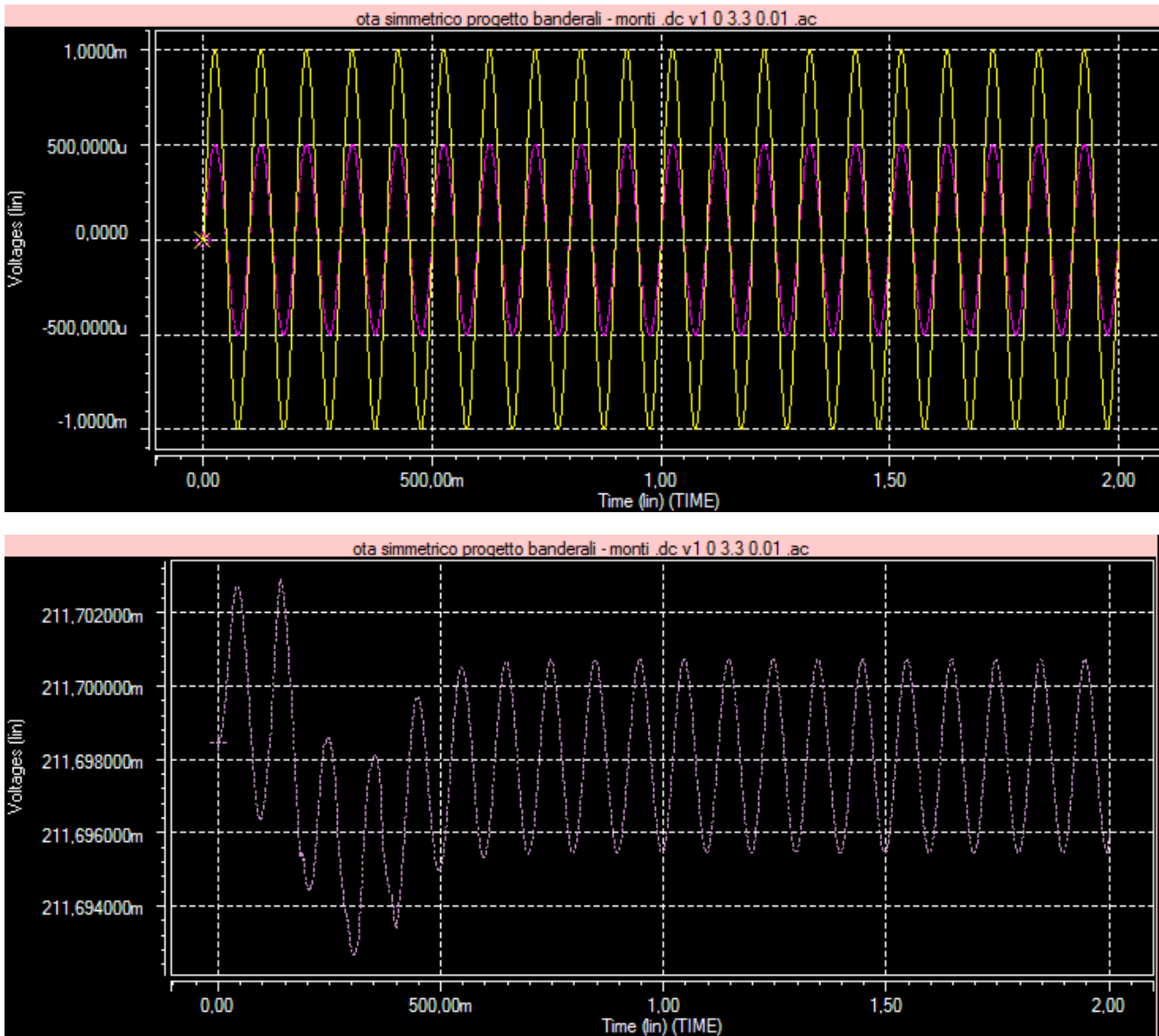


Figura 2.4 Risultati simulazione nel tempo

Risultati della simulazione nel tempo per $f = 160 \text{ KHz}$

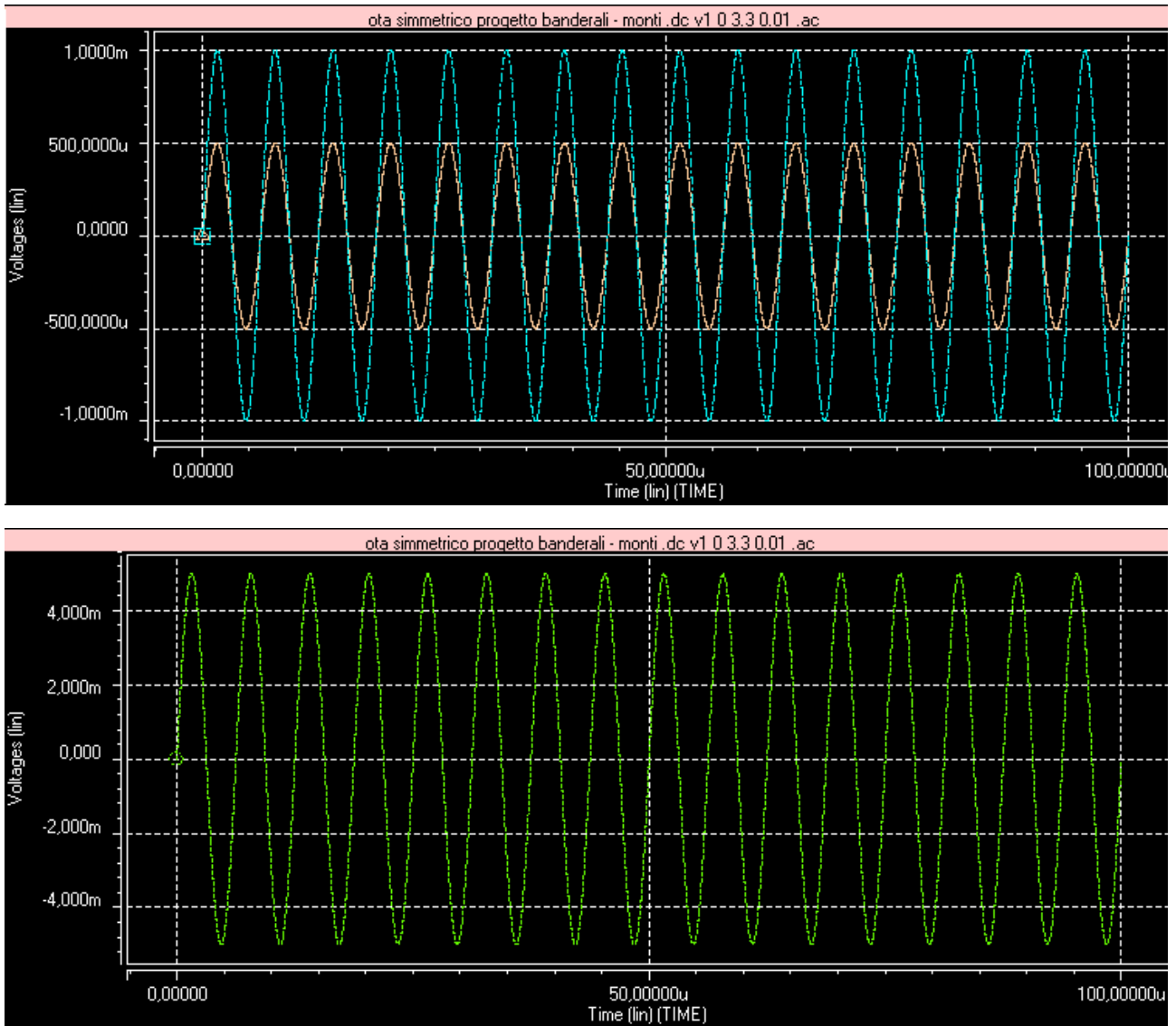


Figura 2.5 Risultati simulazione nel tempo

Intervallo di linearità

Per valutare con precisione l'andamento dell'uscita nell'intervallo di linearità, una delle due tensioni di ingresso è stata fatta variare di soli pochi mV rispetto all'altra (da -20 mV a +20 mV).

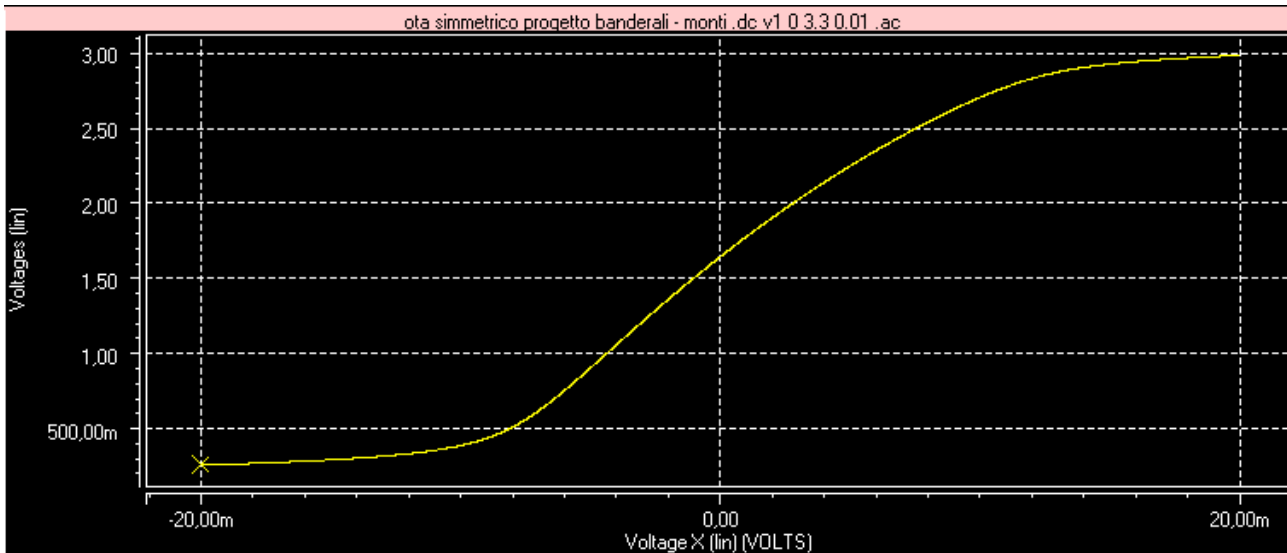


Figura 2.6 Intervallo di linearità

Si nota che in presenza di +/- 3 mV si ha una buona linearità del circuito.

Slew rate

Grafica l'andamento dell'uscita quando in ingresso è applicato un gradino; in questo modo si valuta il tempo di risposta del circuito (prima di arrivare a regime).

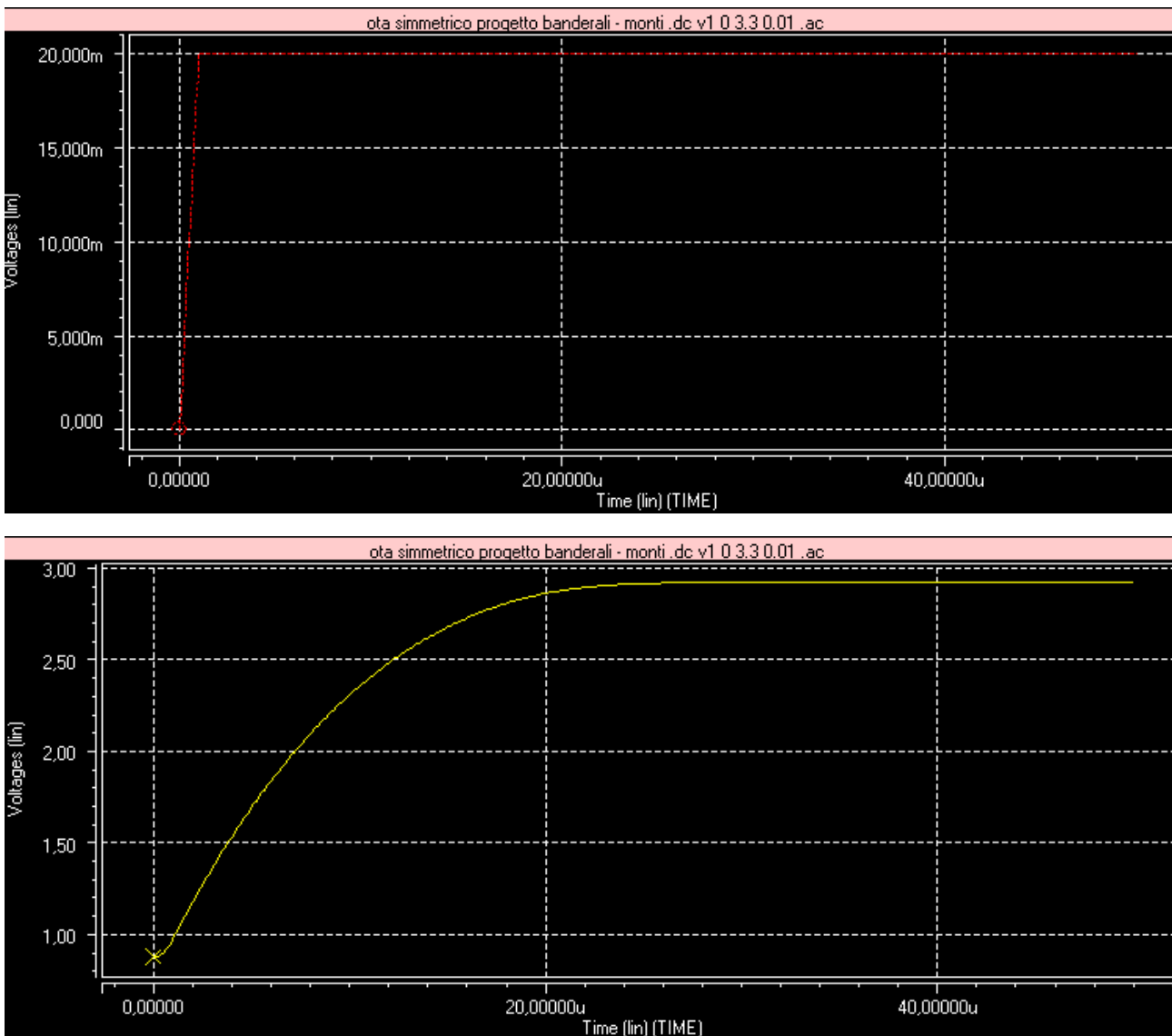


Figura 2.7 Slew rate

$$SR = \frac{2,5 \text{ V}}{12 \cdot 10^{-6} \text{ s}} = 0,2 \cdot 10^6 \text{ V/s} = 0,2 \text{ V/ms}$$

4. Bibliografia

D. Caviglia, appunti del corso di Progetto di microcircuiti 1

M. Valle, appunti e *Dispense del corso di condizionamento, acquisizione e conversione del segnale 1*